

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-097340

(43)Date of publication of application : 23.04.1991

(51)Int.Cl. H04L 29/06

G06F 13/36

(21)Application number : 01-233015

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.09.1989

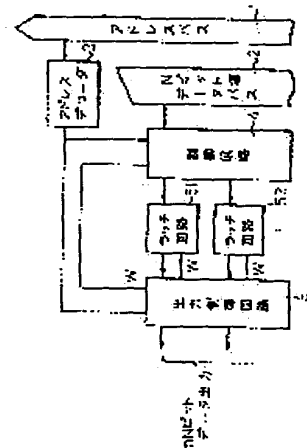
(72)Inventor : NAKAMARU MASAHIRO

## (54) DATA BUS WIDTH CONVERSION CIRCUIT

### (57)Abstract:

**PURPOSE:** To relieve the load of a CPU by adopting the constitution such that the changeover of an output bit width by means of the hardware is not required so as to simplify the constitution and to generate a write signal to be written from a latch circuit to an output control circuit from in the inside of the control circuit.

**CONSTITUTION:** The data bus width conversion circuit is a circuit receiving N-bit data by m-times and outputting mN-bit data, and latch circuits 51, 52,... designate different addresses to output N-bit data and mN-bit data in advance to latch the N-bit data. A control circuit 4 designates to which latch circuit the outputted mN-bit data is latched for N-bit each, and when mN-bit data is all latched to the latch circuit, a data write signal W is sent to an output control circuit 8 and the data is written from the latch circuit to the output control circuit. The output control circuit 6 outputs the data latched in the latch circuit as the mN-bit data and informs the high-order or low-order (n-m)N-bit to be valid when the output is the mN bit data ((0<m<n).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

2

③日本国特許庁(JP)		④特許出願公開	
⑤公開特許公報(A) 平3-97340			
⑥出願番号 特願昭59-13700		⑦公開 平成3年(1991)4月23日	
⑧発明の名称 データバス幅変換回路			
⑨特 願 平1-253015			
⑩出 願 平1(1989)9月11日			
⑪発 明 者 中 丸 正 弘		神奈川県川崎市中原区上水田中1015番地 富士通株式会社	
⑫出 願 人 富士通株式会社		〒213 神奈川県川崎市中原区上水田中1015番地	
⑬代 理 人 弁理士 青 木 朗		外4名	

①m.c.l.  
H 04 L 29/08  
G 06 F 13/36  
3 2 0 B 8945-SB  
8945-SK H 04 L 13/00 3 0 5 B  
審査請求 未請求 請求項の枚数 1 (全6頁)

(57) 【要約】

〔目的〕ハーフ面での出力ビット幅の切り替えを不要とする構成にすることにより、構成を簡単にするとともに、ラッチ回路から出力制御回路へ搬込む搬出信号を制御回路内部でつくることにより、CPUの負荷を軽減する。

〔構成〕本データバス幅変換回路は、Nビットのデータをm回入力して、mNビットデータを出力する回路であつて、ラッチ回路5 1, 5 2, …は、出力がNビットのデータと、mNビットのデータに対し異なるアドレスをあらかじめ指定しておき、Nビットデータをラッチする。制御回路4は、出力するmNビットデータをNビット毎にどのラッチ回路にラッチさせるかを指定し、mNビットデータがすべてラッチ回路にラッチされると、出力制御回路6にデータ搬込み信号Wを送り、ラッチ回路から出力制御回路へデータが搬き込まれる。出力制御回路6は、ラッチ回路にラッチされたデータをmNビットデータとして出力し、また出力がmNビットデータ(0<m<n)の場合に、上位または下位(n-m)Nビットが無効であることを通知する。

〔データバス幅変換回路ハーフ面出力ビット幅切替不要構成例〕ラッチ回路出力制御回路搬込搬出信号制御回路内部CPU負荷軽減本Nビットデータ入力出力回路異なりアドレス指定ラッチすべてデータ搬込信号W送り場合上位下位無効通知

1

【特許請求の範囲】

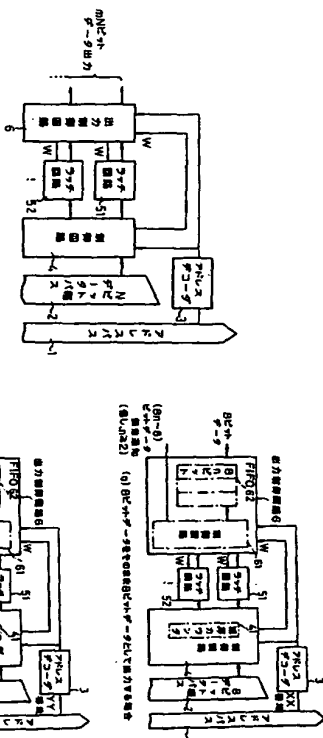
1、Nビットのデータをm回入力して、mNビットデータを出力するデータバス幅変換回路であつて、出力がNビットのデータと、mNビットのデータに対し異なるアドレスをあらかじめ指定しておき、Nビットデータをラッチするラッチ回路と、出力するmNビットデータをNビット毎にどのラッチ回路にラッチさせるかを指定し、mNビットデータがすべてラッチ回路にラッチされたことを出力制御回路に通知するための手段を有する制御回路と、ラッチ回路にラッチされたデータをmNビットデータとして出力し、また出力がmNビットデータ(0<m<n)の場合に上位、または下位(n-m)Nビットが無効であることを通知する出力制御回路とを設けたことを特徴とするデータバス幅変換回路。





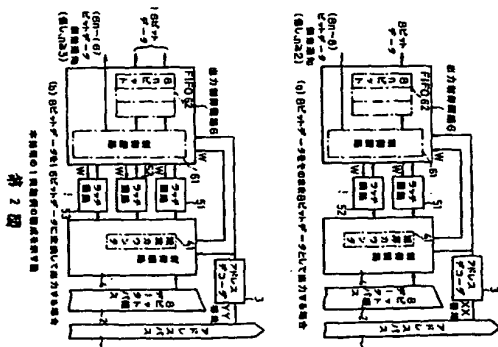
(7)

特開平3-97340(5)



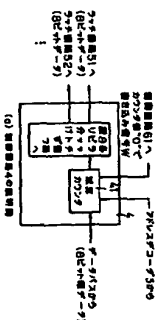
第1図

本発明の電源装置



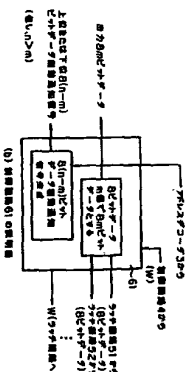
第2図

本発明の電源装置



第3図

本発明の電源装置

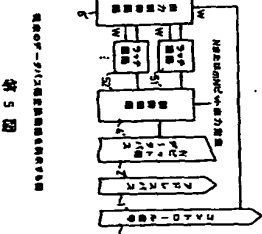
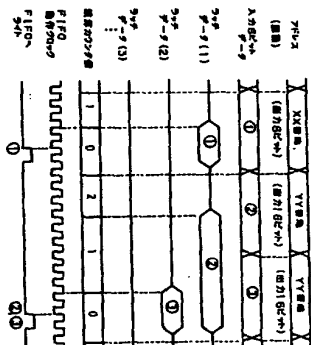


第4図

本発明の電源装置

(8)

特開平3-97340(6)



第5図

本発明の電源装置

第6図

本発明の電源装置